

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110854

**(43)Date of publication of application : 12.04.2002**

(51)Int.Cl.

H01L 23/12

H01L 21/56

H01L 21/60

(21)Application number : 2000-296322

(71)Applicant : NEC CORP

(22)Date of filing : 28.09.2000

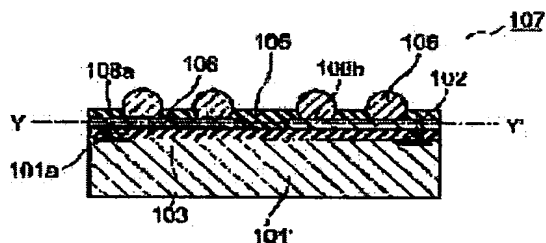
(72)Inventor : MATSUURA YOSHIHIRO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To overcome the problem of a prior art such that the punch-through of an electrode pad, and the connection fail between a wiring layer formed on a resin layer and the electrode pad occur when an opening reaching the electrode pad is formed in the resin layer on the electrode pad.

**SOLUTION:** This manufacturing method of a semiconductor method should include a step for forming a bump on an electrode pad provided on the surface of a semiconductor substrate, a step for providing an insulating material onto the semiconductor substrate surface, a step for exposing the bump onto the surface of the insulating material, a step for providing conductive foil on the insulating material surface, and a step for patterning the conductive foil for forming the wiring layer electrically connected to the bump.



## LEGAL STATUS

[Date of request for examination]

**[Date of sending the examiner's decision of rejection]**

**[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]**

**[Date of final disposal for application]**

[Patent number]

[Date of registration]

**[Number of appeal against examiner's decision of rejection]**

**[Date of requesting appeal against examiner's decision of rejection]**

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-110854  
(P2002-110854A)

(43) 公開日 平成14年4月12日 (2002. 4. 12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 P 5 F 0 6 1
21/56		21/56	R
21/60		21/92	6 0 2 K
			6 0 4 H
			6 0 4 F

審査請求 未請求 請求項の数 7 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-296322 (P2000-296322)

(22) 出願日 平成12年9月28日 (2000. 9. 28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松浦 義宏

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

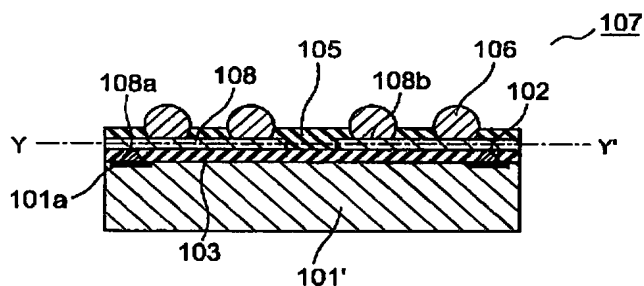
Fターム (参考) 5F061 AA01 BA07 CA10 CB13

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 電極パッド上の樹脂層に電極パッドに達する開口を形成する際、電極パッドの突き抜けが生じ、樹脂層上に形成する配線層と電極パッドとの接続不良が生じる。

【解決手段】 本発明の半導体装置の製造方法は、半導体基板表面に設けられた電極パッド上にバンパを形成する工程と、前記基板表面に絶縁材を設ける工程と、前記絶縁材表面に前記バンパを露出させる工程と、前記絶縁材表面に導電性箔を設ける工程と、前記導電性箔をパターンニングして前記バンパに電気的に接続された配線層を形成する工程とを有することを特徴とする。



## 【特許請求の範囲】

【請求項1】 半導体基板表面に設けられた電極パッド上にバンパを形成する工程と、前記基板表面に絶縁材を設ける工程と、前記絶縁材表面に前記バンパを露出させる工程と、前記絶縁材表面に導電性箔を設ける工程と、前記導電性箔をパターンニングして前記バンパに電氣的に接続された配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記バンパが形成された前記半導体基板表面に前記絶縁材及び前記導電性箔を設け、加圧することにより前記バンパを前記絶縁材表面に露出させ、前記バンパと前記導電性箔との電氣的接続をとることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記バンパが形成された前記半導体基板表面に、ワニスからなる前記絶縁材を設け半硬化させた後、前記導電性箔を貼り付けることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 半導体基板表面に設けられた電極パッド上に第1のバンパを形成する工程と、前記基板表面に第1の絶縁材を設ける工程と、前記第1の絶縁材表面に前記第1のバンパを露出させる工程と、前記第1の絶縁材表面に第1の導電性箔を設ける工程と、前記第1の導電性箔をパターンニングして前記第1のバンパに電氣的に接続された第1の配線層を形成する工程と、前記第1の配線層上の所定の位置に第2のバンパを形成する工程と、前記第2のバンパ形成後の前記半導体基板表面に第2の絶縁材を設ける工程と、前記第2の絶縁材表面に前記第2のバンパを露出させる工程と、前記第2の絶縁材表面に第2の導電性箔を設ける工程と、前記第2の導電性箔をパターンニングして前記第2のバンパに電氣的に接続された第2の配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 前記第1のバンパと前記第2のバンパが同一材料で形成されていることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記第1の絶縁材と前記第2の絶縁材が同一材料で形成されていることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 前記第1の導電箔と前記第2の導電箔が同一材料で形成されていることを特徴とする請求項4記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はチップサイズパッケージ（CSP）タイプの半導体装置及びその製造方法に関する。

【0002】

【従来の技術】図18に、特開平11-111896号公報に記載された半導体装置の断面図を示す。この半導体装置は、シリコンチップ2の表面に設けられた電極パッド5上に金バンパ3を有し、この金バンパ3は基板4上に形成されたパッド5に接続されている。基板4表面にはパッド5とそれに接続する配線層6が形成されている。この配線層6は、基板4を貫通して設けられたスルーホール部7を介して、基板4裏面に設けられた外部接続用電極8と電氣的に接続されている。基板4表面のパッド5よりも、基板4裏面の外部接続用電極8の方がピッチが大きく取られている。シリコンチップ2表面と基板4表面との間には、樹脂9が封入されている。

ド2a上に金バンパ3を有し、この金バンパ3は基板4上に形成されたパッド5に接続されている。基板4表面にはパッド5とそれに接続する配線層6が形成されている。この配線層6は、基板4を貫通して設けられたスルーホール部7を介して、基板4裏面に設けられた外部接続用電極8と電氣的に接続されている。基板4表面のパッド5よりも、基板4裏面の外部接続用電極8の方がピッチが大きく取られている。シリコンチップ2表面と基板4表面との間には、樹脂9が封入されている。

10 【0003】このCSPでは、シリコンチップ2の金バンパ3と、基板4のパッド5とを正確に位置合わせして、シリコンチップ2を基板4へ精度良く搭載することが困難であるという問題がある。この問題は、金バンパ3とパッド5とのパターン形成のずれ、基板4の熱膨張、シリコンチップ2を基板4へ搭載する際の機械的精度等に起因する。

【0004】更に、シリコンチップ2とは別に基板4を製作しているため、コストアップにつながるという問題がある。

20 【0005】これらの問題を解決する手段として、同じく特開平11-111896号公報には、図19に示すビルドアップ方式で形成された半導体装置が記載されている。

【0006】この半導体装置の製造方法を図20乃至図23に示す。図20に示すように、表面に電極パッド13及びこの電極パッド13部に開口を有するポリイミド膜14が形成されたシリコンチップ12上に、低弾性樹脂層15を形成する。

30 【0007】次に、図21に示すように、低弾性樹脂層15の電極パッド13に対応する位置に、レーザー加工で開口部を形成し、この開口に導電性ペースト16aを充填する。

【0008】その後、図22に示すように、表面にスパッタ金属膜17及びめっきレジスト18を形成する。このめっきレジスト18をパターンニングした後、図23に示すように、スパッタ金属膜17が露出した部分に電界銅めっき層16bからなる配線層を形成する。

40 【0009】その後、めっきレジスト18を剥離し、露出しているスパッタ金属膜17を除去する。次に、電界銅めっき層16bが外部接続用電極19と接続する位置に開口部20を有するソルダーレジスト層21を形成して、図19に示す半導体装置を完成させる。

【0010】

【発明が解決しようとする課題】この様なビルドアップ方式で形成された半導体装置では、シリコンチップ12上の電極パッド13と外部接続用電極19との接合位置の精度に関わる問題は生じない。しかし、電極パッド13と電界銅めっき層16bからなる配線層との導通を取るために、低弾性樹脂層15にレーザー加工等の方法で

の突き抜けが生じる。突き抜け部分への導電性ペースト16aの充填が困難であるため、電極パッド13と配線層16との接続不良が生じたり、突き抜け部分とそれ以外の部分で抵抗値のバラツキが生じたりする。

【0011】更に、ビルドアップ方式は高コストなプロセスであるため、コスト上昇に繋がり、特に汎用メモリ品など、低コスト化が要求される品種の組立方法としては不適切である。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板表面に設けられた電極パッド上にバンパを形成する工程と、前記基板表面に絶縁材を設ける工程と、前記絶縁材表面に前記バンパを露出させる工程と、前記絶縁材表面に導電性箔を設ける工程と、前記導電性箔をパターンニングして前記バンパに電気的に接続された配線層を形成する工程とを有することを特徴とする。

【0013】更に、本発明の半導体装置の製造方法は、半導体基板表面に設けられた電極パッド上に第1のバンパを形成する工程と、前記基板表面に第1の絶縁材を設ける工程と、前記第1の絶縁材表面に前記第1のバンパを露出させる工程と、前記第1の絶縁材表面に第1の導電性箔を設ける工程と、前記第1の導電性箔をパターンニングして前記第1のバンパに電気的に接続された第1の配線層を形成する工程と、前記第1の配線層上の所定の位置に第2のバンパを形成する工程と、前記第2のバンパ形成後の前記半導体基板表面に第2の絶縁材を設ける工程と、前記第2の絶縁材表面に前記第2のバンパを露出させる工程と、前記第2の絶縁材表面に第2の導電性箔を設ける工程と、前記第2の導電性箔をパターンニングして前記第2のバンパに電気的に接続された第2の配線層を形成する工程とを有することを特徴とする。

【0014】

【発明の実施の形態】〔第1の実施の形態〕図1に本発明の半導体装置107の構造の断面図を示す。図2は、図1のY-Y'面での断面図である。尚、図1は図2のX-X'断面図に相当する。

【0015】図1に示すように、シリコンチップ101'は、表面に設けられた電極パッド101a上にバンパ102を有し、バンパ102形成領域以外の領域は絶縁膜（図示せず）で被覆されている。その上にはポリイミド等からなる絶縁材103が設けられ、更に絶縁材103上には、絶縁材103を貫通したバンパ102と電気的に接続する配線層108が設けられている。バンパ102と配線層108との接続部を内部電極108aと呼ぶ。配線層108上には、配線層108の外部電極108b部分に開口を有するソルダーレジスト105が形成されている。ソルダーレジスト105の開口部分には半田ボール106が形成され、配線層108と電気的に

接続部分を、外部電極108bと呼ぶ。このように、半田ボール106は、外部電極108b、配線層108、内部電極108a、及びバンパ102を介して電極101aに接続されている。外部電極108bと内部電極108aとは、所定の回路パターンに応じて、配線層108を介して適宜接続されている。

【0016】次に、図3乃至図8に本発明の半導体装置107の製造方法を示す。

【0017】まず、図3に示すように、ウエハー101の回路面に電極101a及び電極101aに相当する部分以外を被覆するポリイミドや窒化物等の絶縁膜（図示せず）を形成する。但し、この絶縁膜は必要に応じて施されるものであり、必須の構成ではない。

【0018】次に図4に示すように、任意の電極101a上に、導電性のバンパ102をバンパボンダーあるいは印刷工法により形成する。なお、バンパ102の材料としては、金が適しているが、銅、はんだ等を使用しても良い。バンパの形状は、図4に示したように、先端が尖った形状が好ましい。

【0019】次に、図5に示すように、ウエハー101のバンパ形成面に、ポリイミド等のワニスからなる絶縁材103を設け、半硬化させた後、絶縁材103上にラミネーターあるいはプレスにより導電性箔104を貼り付ける。バンパ102はその先端の形状のため、絶縁材103を貫通し、導電性箔104と電気的に接続する。

【0020】または、絶縁材103としてペーストあるいはフィルム状の有機系接着材、あるいは液状樹脂を使用し、導電性箔104を加熱圧着することで導電性箔104とバンパ102との電気的接続を確保することもできる。この場合も、バンパ102は絶縁材103を貫通し、導電性箔104と電気的に接続している。

【0021】なお、絶縁材103として異方導電性材料を使用し、バンパ102と導電性箔104の電気的接続をとることも可能である。この場合は、バンパ102は絶縁材103を貫通する必要はない。

【0022】絶縁材103の厚さは10～50μm程度、弾性率は1～5000Gpa程度が好ましい。これは、金等からなるバンパ102が、この絶縁膜を容易に貫通することが出来る厚さと弾性率である。導電性箔104としては、6～18μm厚の銅などが適しているが、電気特性ならびに機械的強度を満足できる材料であればその材質および厚さは適宜選択可能である。

【0023】なお、導電性箔104の表面に酸化膜等の絶縁被膜が存在する場合には、導電性箔104とバンパ102との電気的接続性を確保するために、貼付工程の前に予めウエットないしドライエッチングにより絶縁被膜の除去を行う。

【0024】なお、図示していないが、導電性箔104とバンパ102との電気的接合の信頼性をより高めるた

との接合部を加圧する工程を加えることが好ましい。更に、必要に応じて加熱することも効果的である。

【0025】次に、図6に示すように導電性箔104を、カバーコート等（図示せず）をマスクとするエッチングにより所望の形状にパターンニングし、配線層108を形成する。カバーコートは、配線層108がエッチング溶液により溶解・変質等のダメージを受けるのを防止する。パターンニングに際しては、パンプ102と導電性箔104との接続部分を内部電極108aとして残す。

【0026】図5の工程において説明したように、導電性箔104表面の絶縁被膜除去工程を省くために、導電性箔104の表面に酸化防止のメッキ等の処理を施した場合、導電性箔104のパターンニングに際し、導電箔104のエッチング条件とメッキ層のエッチング条件とを変える必要がある。例えば、導電性箔104にフラッシュ金メッキが施されている場合には、導電性箔104は、フォトリソをマスクとし、塩化第二鉄等の薬液によるエッチングによりパターンニングするのに対し、メッキ層は、アルゴンプラズマ等によるスパッタ処理により、物理的に除去しなければならない。メッキ層のドライエッチング工程により、配線層も削られるが、配線層の厚み8～30 $\mu$ mに対して、メッキ層の厚みは1 $\mu$ m以下であるため、各配線層に問題を生じさせることなくメッキ層を除去し、各配線層を電氣的に分離することが出来る。

【0027】このパターンニングのマスク形成の露光工程においては、導電性箔104のうち内部電極108aとなる部分を確実に残す必要がある。つまり、導電性箔104側から見て下に隠れているパンプ102の位置を正確に認識する必要がある。この露光工程における位置合わせのために、ウエハ101に、図9に示す認識マーク109を設けておく。認識マーク109の位置および数は特に限定するものではなく、ウエハ101上の特定のパターンを認識マークとして使用することも可能である。認識マーク109を用いて、パターンニングマスク形成のための露光工程において、ウエハ101と露光マスクの正確な位置合わせを行う。

【0028】次に図7に示すように、配線層108パターン形成完了後、配線層108及び絶縁材103をソルダーレジスト105により被覆する。ソルダーレジスト105の厚さとしては20～30 $\mu$ mが適当である。ソルダーレジスト105には、配線層108の外部電極108bに相当する部分に開口を設ける。開口部内に露出した配線層108表面には、ニッケル／金などの電解あるいは無電解メッキ処理を施す。なお、ソルダーレジスト105形成前にメッキ処理を行っても良い。このようにして形成された外部電極108bは、パターンニングされた配線層108を介して内部電極108aと接続されてい

【0029】また、配線層108とソルダーレジスト105の密着性を向上させるために、ソルダーレジスト塗布前の配線層108及び絶縁材103表面にプラスト処理、化学研磨処理等を行っても良い。

【0030】ソルダーレジスト105の形成方法としては、感光性レジストを使用し、露光現像処理によってパターンニングを行うといった方法が一般的である。しかし、配線層108及び絶縁材103上に熱硬化性のレジストを印刷等の方法により塗布し、加熱硬化させた後、外部電極108bに相当する部分をUV、YAG、CO<sub>2</sub>ガスなどのレーザーによって除去する方法もある。

【0031】次に図8に示すように、必要に応じて外部電極108b上に半田ボール106を搭載し、ダイサー（砥石での切削）、レーザー切断機（熱による溶融切断）、ジェットホーニング（水圧による切断）、超音波切断機などによって個々の製品に切り分け、図1に示す半導体装置107を得る。

【0032】〔第2の実施の形態〕次に、本発明の第2の実施の形態について図面を参照して説明する。

【0033】図10は、本発明の第2の実施の形態による半導体装置の断面図を示したものである。図11乃至17は、本半導体装置の製造方法を工程順断面図で示したものである。

【0034】図10に示すように、ウエハ201の電極201aは、その上に形成された導電性のパンプ202及び配線層208を介して、導電性のパンプ202'に電氣的に接続されており、更に導電性のパンプ202'は配線層208'を介して外部電極208bに電氣的に接続されている。

【0035】また、ウエハ201表面に設けられた絶縁材203上に配線層208が形成され、更に絶縁材203及び配線層208上に設けられた絶縁材203'上に配線層208'が形成されている。絶縁材203'及び配線層208'表面は、外部電極208b部分に開口を有するソルダーレジスト205によって、任意の形状に被覆されている。また必要に応じて、配線層208'の外部電極208b上には、半田ボール206が搭載されている。

【0036】次に、図11乃至図17により本実施の形態の半導体装置の製造方法を説明する。

【0037】図11は、表面に電極201aを有する複数の半導体素子から成るウエハ201を示す。ウエハ201表面の電極201a以外の領域は、ポリイミド等の図示しない絶縁膜により被覆されている。

【0038】次に図12に示すように、ウエハ201の任意の電極201a上に導電性のパンプ202を形成する。このパンプ202の形状は第1の実施の形態と同様に、先端が尖った形状が好ましい。

【0039】次に図13に示すように、ウエハ201

る。ウエハー201の電極201aは、絶縁材203を貫通したバンプ202を介して、導電性箔204と電気的に接続される。

【0040】次に図14に示すように、導電性箔204に対し、レジスト形成、露光、現像処理を行い、配線層208を形成する。

【0041】その後、必要に応じて、配線層208に電解あるいは無電解メッキ処理を施し、図15に示すように、バンプボンダーあるいは印刷工法によって配線層208上の任意の場所に導電性のバンプ202'を形成する。このバンプ202'の形状も同様に、先端が尖った形状が好ましい。バンプ202'の材料としては、半導体素子の電極201aに形成したバンプ202と同一の材料が望ましいが、電気的接続を取れるものであれば特に種類は問わない。

【0042】次に図16に示すように、ウエハー201のバンプ形成面に絶縁材203'、導電性箔204'を貼り合わせる。導電性箔204'は、絶縁材203'を貫通したバンプ202'により、配線層208と電気的に接続される。

【0043】次に図17に示すように、導電性箔204'に対し、レジスト形成、露光、現像処理を行い、所望の形状にパターニングし、配線層208'を形成する。パターニングに際しては、エッチング時に導電性箔204'を除く他の部分が薬液により変質、溶解等のダメージを受けないよう、必要に応じて適宜カバーコートを施す等の処理を行う。このとき、配線層208'はバンプ202'を介して配線層208に電気的に接続されている。

【0044】また、絶縁材203'、及び導電性箔204'の材料については、それぞれ下層の絶縁材203、及び導電性箔204の材料と同一のものを使用するのが望ましいが、特に限定するものではない。

【0045】第一の実施の形態と同様に、導電性箔204'の外部電極208b上に開口を有するソルダーレジスト205を形成し、必要に応じて、はんだボール206を搭載した後、個々の製品に切断分離し、図10に示す半導体装置207を得る。

【0046】図10の半導体装置207は、配線層が2層の場合を示しているが、図12から図17のプロセスを繰り返し、2層以上の複数の配線層208、208'...を形成することで、所望の接続パターンを得ることが可能である。このようにして、配線層の形成が完了した後、第一の実施の形態と同様に、ソルダーレジスト205によって配線層と絶縁材の被覆を行う。

【0047】

【発明の効果】従来は、あらかじめパターン形成を行った配線層を有する基板に個々の半導体素子を搭載し、配線層との電気的接続を行っていたが、この場合、基板の

た、ウエハー上にビルドアップにて配線を形成する方法もあるが、ビルドアップによる配線形成自体が高コストになるといった問題がある。

【0048】本発明の半導体装置の製造方法によれば、導電性箔として、例えば安価な銅箔を使用し、簡便なエッチングによってパターン形成を行えるため、大幅な組立コスト低減を図れる。

【0049】また、従来は、配線層があらかじめ形成された基板に半導体素子あるいはウエハーを搭載しており、配線層のパターン精度、基板の熱膨張、基板の半導体素子の搭載精度などによって、電極の狭ピッチ化に対応できないといった課題があった。これに対し、本発明の半導体装置の製造方法によれば、ウエハーの電極と導電性箔の電気的接続を確保した後に、ウエハーに設けてある認識マークなどを基準にパターン形成を行うため、配線層とバンプの位置ズレの問題を回避することができ、良好な組立性が得られるといった効果もある。

【0050】さらに、従来の製造方法では、配線層を複数層形成する場合、上層の低弾性樹脂層への開口形成時に、電極パッドへの突き抜けが起り、低弾性樹脂層上に形成される上層配線と電極パッドを有する下層配線との接続不良が生じるという問題があった。これに対し、本発明の製造方法では、絶縁材に開口を形成する工程が不要であるため、上層配線と下層配線を確実に接続させることが出来る。このようにして、容易に配線層を複数層形成することができるため、従来の一層配線では解決できなかったクロス配線の問題にも対処することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置を示す断面図である。

【図2】本発明の第1の実施の形態の半導体装置を示す平面図であり、図1の半導体装置のY-Y'平面図である。

【図3】本発明の第1の実施の形態の半導体装置の製造工程を示す断面図である。

【図4】本発明の第1の実施の形態の半導体装置の製造工程を示す断面図である。

【図5】本発明の第1の実施の形態の半導体装置の製造工程を示す断面図である。

【図6】本発明の第1の実施の形態の半導体装置の製造工程を示す断面図である。

【図7】本発明の第1の実施の形態の半導体装置の製造工程を示す断面図である。

【図8】本発明の第1の実施の形態の半導体装置の製造工程を示す断面図である。

【図9】本発明の第1の実施の形態の半導体装置の製造方法における認識マークを示す平面図である。

【図10】本発明の第2の実施の形態の半導体装置を示す断面図である。

【図11】本発明の第2の実施の形態の半導体装置の製造工程を示す断面図である。

【図12】本発明の第2の実施の形態の半導体装置の製造工程を示す断面図である。

【図13】本発明の第2の実施の形態の半導体装置の製造工程を示す断面図である。

【図14】本発明の第2の実施の形態の半導体装置の製造工程を示す断面図である。

【図15】本発明の第2の実施の形態の半導体装置の製造工程を示す断面図である。

【図16】本発明の第2の実施の形態の半導体装置の製造工程を示す断面図である。

【図17】本発明の第2の実施の形態の半導体装置の製造工程を示す断面図である。

【図18】従来例の半導体装置を示す断面図である。

【図19】他の従来例の半導体装置を示す断面図である。

【図20】図19の半導体装置の製造工程を示す断面図である。

【図21】図19の半導体装置の製造工程を示す断面図である。

【図22】図19の半導体装置の製造工程を示す断面図である。

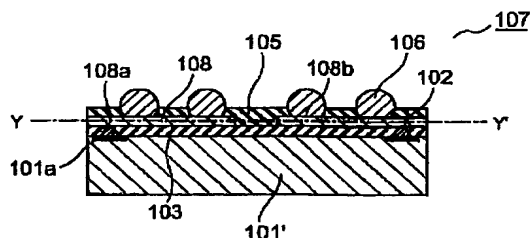
【図23】図19の半導体装置の製造工程を示す断面図である。

# 【符号の説明】

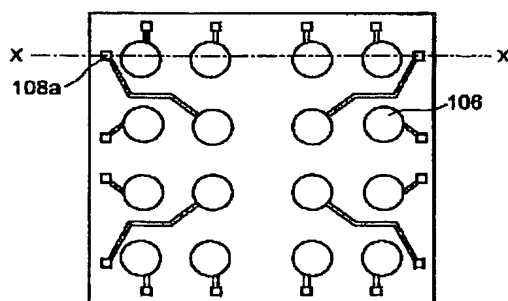
2 シリコンチップ  
2a 電極パッド  
3 金バンプ  
4 基板  
5 パッド  
6 配線層  
7 スルーホール部  
8 外部接続用電極  
9 樹脂  
12 シリコンチップ  
13 電極パッド

14 ポリイミド膜  
15 低弾性樹脂層  
16a 導電性ペースト  
16b 電界銅メッキ層  
17 スパッタ金属膜  
18 メッキレジスト  
19 外部接続用電極  
20 開口部  
101 ウエハー  
101' シリコンチップ  
101a 電極パッド  
102 バンプ  
103 絶縁材  
104 導電性箔  
105 ソルダレジスト  
106 半田ボール  
107 半導体装置  
108 配線層  
108a 内部電極  
108b 外部電極  
109 認識マーク  
201 ウエハー  
201' シリコンチップ  
201a 電極  
202 バンプ  
202' バンプ  
203 絶縁材  
203' 絶縁材  
204 導電性箔  
205 ソルダレジスト  
206 半田ボール  
207 半導体装置  
208 配線層  
208' 配線層  
208a 内部電極  
208b 外部電極

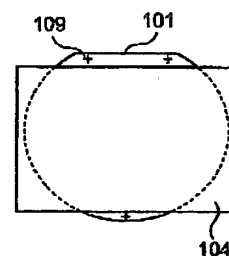
【図1】



【図2】



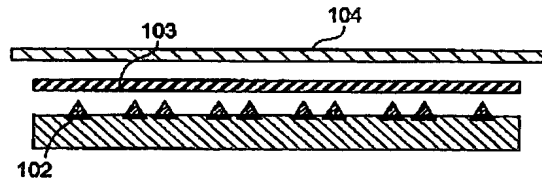
【図9】



【図 3】



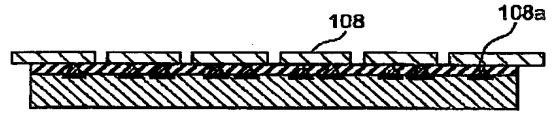
【図 4】



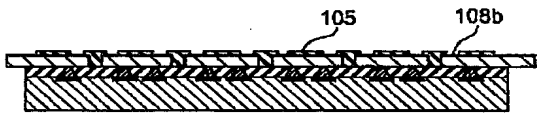
【図 5】



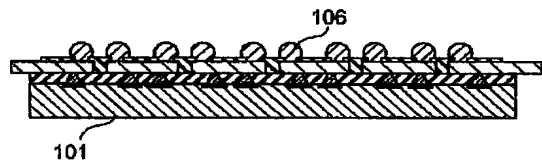
【図 6】



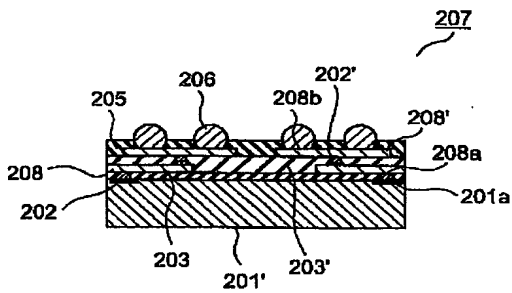
【図 7】



【図 8】



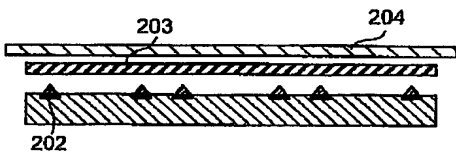
【図 10】



【図 11】



【図 12】



【図 13】



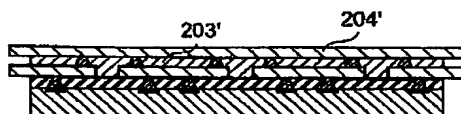
【図 15】



【図 14】

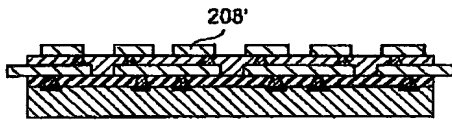


【図 16】

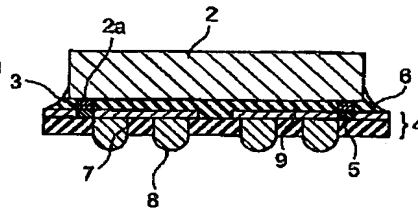




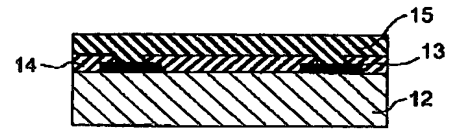
【図17】



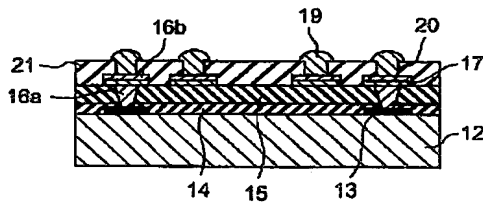
【図18】



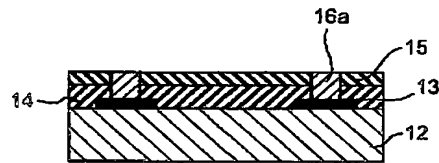
【図20】



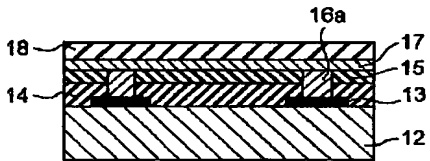
【図19】



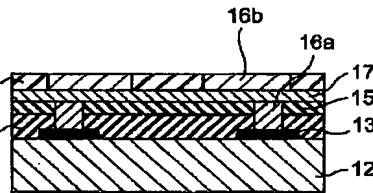
【図21】



【図22】



【図23】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I  
H O I L 21/92

テ-マ-コ-ト\*(参考)

6 0 4 J